

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09270468 A**(43) Date of publication of application: **14 . 10 . 97**

(51) Int. Cl.

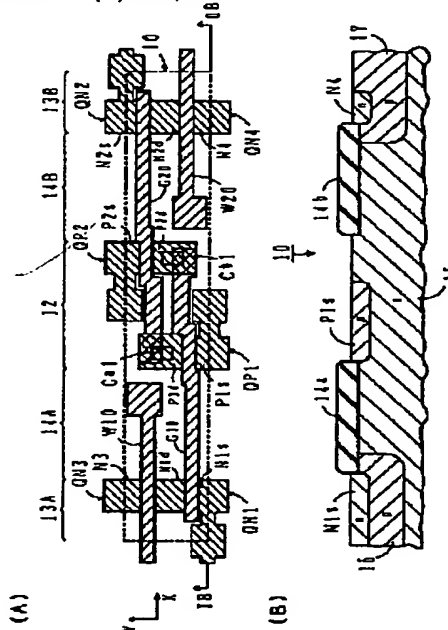
**H01L 21/8244****H01L 27/11**(21) Application number: **08077459**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **29 . 03 . 96**(72) Inventor: **HIGUCHI TAKESHI**(54) **CMOS TYPE SRRAM CELL AND SEMICONDUCTOR DEVICE USING IT**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To speed up access.

SOLUTION: An SRAM cell is rectangular in a longitudinal direction, nMOS transistors QN1 and QN3 are arranged in a region 13A at one side in the longitudinal direction of this rectangle, nMOS transistors QN2 and QN4 are arranged in a region 13B at the opposite side of this side, pMOS transistor QP1 and QP2 are arranged in a central part of the rectangle, and element separation regions 14A and 14B are formed between the regions 13A and 12 and between the regions 13B and 12. And pMOS transistors QP1 and QP2 are respectively arranged at nMOS transistors QN1 side and QN2 side within the region 12, bit line direction is perpendicular to the longitudinal direction, and the word wire direction is parallel to the longitudinal direction. Also, nMOS transistors QN1 and QN4 and pMOS transistor QP1 are respectively arranged at one end side of said perpendicular direction in the regions 13A, 13B and 12, and nMOS transistors QN3, QN2 and pMOS transistor 52 are arranged at the opposite side of the one end side.



**This Page Blank (uspto)**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-270468

(43)公開日 平成9年(1997)10月14日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 21/8244  
27/11

識別記号

片内整理番号

F I

H 0 1 L 27/10

技術表示箇所

3 8 1

審査請求 未請求 請求項の数12 O L (全 13 頁)

(21)出願番号

特願平8-77459

(22)出願日

平成8年(1996)3月29日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 樋口 剛

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74)代理人 弁理士 松本 眞吉

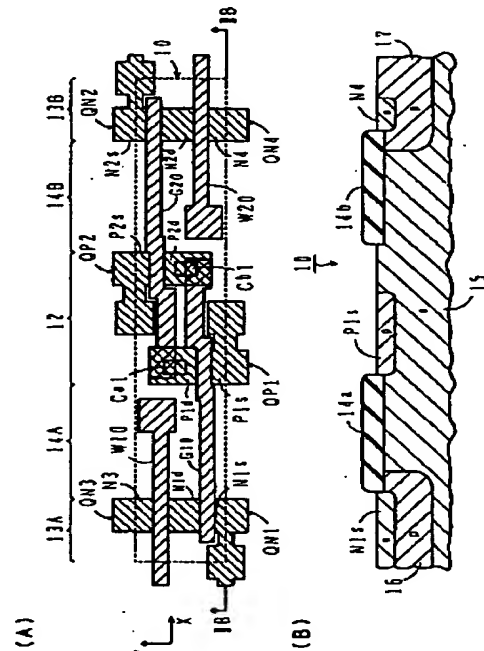
(54)【発明の名称】 CMOS型SRAMセル及びこれを用いた半導体装置

(57)【要約】

【課題】 アクセスを高速化する。

【解決手段】 SRAMセルは長手方向を有する矩形であり、nMOSトランジスタQN1及びQN3が該矩形の長手方向一端側領域13Aに配置され、nMOSトランジスタQN2及びQN4が該一端側と反対側の領域13Bに配置され、pMOSトランジスタQP1及びQP2が矩形の中央部に配置され、領域13Aと領域12との間及び領域13Bと領域12との間に素子分離領域14A及び14Bが形成され、pMOSトランジスタQP1及びQP2がそれぞれ領域12内のnMOSトランジスタQN1側及びQN2側に配置され、ビット線方向が該長手方向と直角であり、ワード線方向が該長手方向と平行である。nMOSトランジスタQN1、QN4及びpMOSトランジスタQP1がそれぞれ領域13A、13B及び12の該直角な方向の一端側に配置され、nMOSトランジスタQN3、QN2及びpMOSトランジスタQP2が該一端側と反対側に配置されている。

(A)は第1形SRAMセルの半導体領域及びポリシリコン配線のパターン図、(B)は(A)中のII-B-II B線断面図



## 【特許請求の範囲】

【請求項1】 クロス接続された第1及び第2のnMOSトランジスタと、該第1及び第2のnMOSトランジスタのドレインと電源線との間にそれぞれ接続された第1及び第2のpMOSトランジスタとを備えたSRAMセルを有する半導体装置において、

該第1及び第2のnMOSトランジスタが形成される基板表面のnMOS形成領域及び該第1及び第2のpMOSトランジスタが形成される基板表面のpMOS形成領域の延在方向がそれぞれビット線の延在方向と平行であることを特徴とする半導体装置。

【請求項2】 電源電位供給線と基準電位供給線との間に第1pMOSトランジスタと第1nMOSトランジスタとが直列接続され、該第1pMOSトランジスタのゲートと該第1nMOSトランジスタのゲートとが短絡された第1CMOSインバータと、

該電源電位供給線と該基準電位供給線との間に第2pMOSトランジスタと第2nMOSトランジスタとが直列接続され、該第2pMOSトランジスタのゲートと該第2nMOSトランジスタのゲートとが短絡された第2CMOSインバータと、

第1ビット線と該第1nMOSトランジスタのドレインとの間に接続され、ゲートにワード線が接続された第3nMOSトランジスタと、

第2ビット線と該第2nMOSトランジスタのドレインとの間に接続され、ゲートに該ワード線が接続された第4nMOSトランジスタと、

が半導体基板に形成され、該第1pMOSトランジスタのゲートが該第2nMOSトランジスタのドレインに接続され、該第2pMOSトランジスタのゲートが該第1nMOSトランジスタのドレインに接続されたCMOS型SRAMセルにおいて、

該第1nMOSトランジスタと該第3nMOSトランジスタとが第1領域に配置され、

該第2nMOSトランジスタと該第4nMOSトランジスタとが第2領域に配置され、

該第1pMOSトランジスタと該第2pMOSトランジスタとが、該第1領域と該第2領域の間の第3領域に配置され、

該第1領域と該第3領域との間及び該第2領域と該第3領域との間に素子分離領域が形成され、

該第1ビット線及び該第2ビット線の方向が、該第1領域から該第2領域への長手方向と略直角である、ことを特徴とするCMOS型SRAMセル。

【請求項3】 上記第1nMOSトランジスタ、第4nMOSトランジスタ及び第1pMOSトランジスタがそれぞれ上記第1領域、第2領域及び第3領域の上記長手方向と略直角な方向の一端側に配置され、

上記第3nMOSトランジスタ、第2nMOSトランジスタ及び第2pMOSトランジスタがそれぞれ該第1領

域、第2領域及び第3領域の該長手方向と略直角な方向の他端側に配置されている、

ことを特徴とする請求項2記載のCMOS型SRAMセル。

【請求項4】 上記第1nMOSトランジスタと上記第3nMOSトランジスタとが上記長手方向と略直角な方向に並置され、

該第1nMOSトランジスタの一方のn型半導体領域と該第3nMOSトランジスタの一方のn型半導体領域とが共通領域であり、

上記第2nMOSトランジスタと上記第4nMOSトランジスタとが該長手方向と略直角な方向に並置され、

該第2nMOSトランジスタの一方のn型半導体領域と該第4nMOSトランジスタの一方のn型半導体領域とが共通領域である、

ことを特徴とする請求項3記載のCMOS型SRAMセル。

【請求項5】 上記第1pMOSトランジスタが上記第3領域内の上記第1領域側に配置され、

上記第2pMOSトランジスタが該第3領域内の上記第2領域側に配置されている、

ことを特徴とする請求項4記載のCMOS型SRAMセル。

【請求項6】 上記第1nMOSトランジスタのゲートと上記第1pMOSトランジスタのゲートとが1本の第1ポリシリコン配線で連続しており、該第1ポリシリコンがコンタクトホールを通過して上記第2pMOSトランジスタのドレインに接続され、

上記第2nMOSトランジスタのゲートと上記第2pMOSトランジスタのゲートとが1本の第2ポリシリコン配線で連続しており、該第2ポリシリコンがコンタクトホールを通過して上記第1pMOSトランジスタのドレインに接続されている、

ことを特徴とする請求項5記載のCMOS型SRAMセル。

【請求項7】 上記CMOS型SRAMセルは矩形であり、上記長手方向は該矩形の長手方向であり、

上記第1領域及び第2領域はそれぞれ該矩形の長手方向一端側及び他端側であり、上記第3領域は該矩形の中央部である、

ことを特徴とする請求項3乃至6のいずれか1つに記載のCMOS型SRAMセル。

【請求項8】 上記第3領域に上記長手方向と略直角な方向に沿って上記電源電位供給線が配置され、

上記矩形の長手方向に対向する辺の各々に沿って上記基準電位供給線が配置され、

該長手方向に沿って上記ワード線が配置されている、

ことを特徴とする請求項7記載のCMOS型SRAMセル

【請求項9】 上記第1～4nMOSトランジスタ並び

に上記第 1 及び第 2 pMOS トランジスタは、上記矩形の中央点について略点对称に配置されている、ことを特徴とする請求項 7 又は 8 記載の CMOS 型 SRAM セル

【請求項 10】 請求項 2 乃至 9 のいずれか 1 つに記載の CMOS 型 SRAM セルが格子状に配置されたメモリセルアレイと、  
該メモリセルアレイに対しデータの書き込み及び読み出しを行うための周辺回路と、  
を有することを特徴とする半導体装置。

【請求項 11】 請求項 9 記載の CMOS 型 SRAM セルを有し、  
該 CMOS 型 SRAM セルは、上記矩形の長手方向の一边を共通にして配置したときに該一边について互いに線対称な第 1 形と第 2 形とが在り、  
上記メモリセルアレイは、該第 1 形の CMOS 型 SRAM セルと該第 2 形の CMOS 型 SRAM セルとが該長手方向及び該長手方向と直角な方向について交互に配置され、

該矩形の該長手方向にワード線が配置され、  
該第 1 形の CMOS 型 SRAM セルの上記第 3 nMOS トランジスタのゲートがメタル配線を介して該ワード線に接続され、

該第 2 形の CMOS 型 SRAM セルの上記第 4 nMOS トランジスタのゲートが隣の該第 1 形の第 3 nMOS トランジスタのゲートと連続した配線になっており、

該第 1 形の CMOS 型 SRAM セルの上記第 4 nMOS トランジスタのゲートがメタル配線を介して該ワード線に接続され、

該第 2 形の CMOS 型 SRAM セルの上記第 3 nMOS トランジスタのゲートが隣の該第 1 形の第 4 nMOS トランジスタのゲートと連続した配線になっている、  
ことを特徴とする請求項 10 記載の半導体装置。

【請求項 12】 上記 CMOS 型 SRAM セルは、上記ビット線に平行なデータ線が配置され、

該ビット線の方に連続して配置された複数の該 CMOS 型 SRAM セル毎に該データ線が該ビット線に接続され、

該データ線が CMOS 型 SRAM セルブロック間に配置されたデータバスに接続されている、

ことを特徴とする請求項 10 又は 11 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CMOS 型 SRAM セル及びこれを用いた半導体装置に関する。

【0002】

【従来の技術】 この種の SRAM は、メモリセルが DRAM のような電荷保持型ではなくフリップフロップによる電流駆動型であるので、高速アクセスが可能であり、

キャッシュメモリとして用いられているが、マイクロプロセッサの高速化に伴い、より高速化が要求されている。

【0003】 図 10 は、従来の SRAM セル 1 のパターン図である。図 11 (A) は、図 10 のレイアウトパターンに対応した回路図であり、図 11 (B) はこの回路の接続を分かり易くした一般的な回路図である。SRAM セル 1 は、pMOS 領域 2 と nMOS 領域 3 との間に素子分離領域 4 が形成され、素子分離領域 4 に平行にワード線 WL、基準電位供給線 VSS 及び電源電位供給線 VCC が配置されている。中心線のみで示す一对のビット線 BL 及び \*BL は、ワード線 WL と直角な方向に沿って配置されている。pMOS トランジスタ QP1 と nMOS トランジスタ QN1 とで CMOS インバータが形成され、pMOS トランジスタ QP2 と nMOS トランジスタ QN2 とでもう 1 つの CMOS インバータが形成され、これら CMOS インバータがクロス接続されてフリップフロップが形成されている。

【0004】 メタル配線 S1 ~ S4 及び電源電位供給線 VCC はメタル配線第 1 層であり、基準電位供給線 VSS はメタル配線第 2 層であり、ビット線 BL 及び \*BL はメタル配線第 3 層である。ポリシリコン配線 G1 は、pMOS トランジスタ QP1 及び nMOS トランジスタ QN1 のゲートを含み、かつ、その一端部がコンタクトホールを通過して pMOS トランジスタ QP2 の p 型半導体領域 P2d に接続されている。ポリシリコン配線 G2 は、pMOS トランジスタ QP2 及び nMOS トランジスタ QN2 のゲートを含み、かつ、その一端部がコンタクトホールを通過して nMOS トランジスタ QN1 の n 型半導体領域 N1d に接続されている。pMOS トランジスタ QP1 の p 型半導体領域 P1d と nMOS トランジスタ QN1 の n 型半導体領域 N1d とは、コンタクトホールを通過してメタル配線 S1 で接続され、pMOS トランジスタ QP2 の p 型半導体領域 P2d と nMOS トランジスタ QN2 の n 型半導体領域 N2d とは、コンタクトホールを通過してメタル配線 S2 で接続されている。また、nMOS トランジスタ QN1 の n 型半導体領域 N1s は、コンタクトホールを通りメタル配線 S3 で基準電位供給線 VSS に接続され、nMOS トランジスタ QN2 の n 型半導体領域 N2s は、コンタクトホールを通りメタル配線 S4 で基準電位供給線 VSS に接続されている。

【0005】 SRAM セル 1 に書き込まれたデータを読み出す場合には、ビット線 BL 及び \*BL が所定電位にプリチャージされ (又はプリチャージされずに)、次にワード線 WL が高レベルにされて nMOS トランジスタ QN3 及び QN4 がオンにされる。これにより、ビット線 BL とビット線 \*BL との間に電位差が生じ、誤動作防止のためこれが所定値以上になった後に、不図示のセンスアンプで増幅され、データバスを介して外部に取り

出される。

#### 【0006】

【発明が解決しようとする課題】従来のSRAMセル1は、pMOS領域2とnMOS領域3の間に素子分離領域4が形成され、素子分離領域4と直角な方向に沿ってビット線BL及び\*BLが配置されているので、SRAMセルアレイにおいてはビット線BL及び\*BLが長くなり、その容量及び抵抗が大きくなるため、データ読み出し速度の向上が制限される。データの書き込み速度についても同様である。

【0007】本発明の目的は、このような問題点に鑑み、アクセスを高速化することが可能なCMOS型SRAMセル及びこれを用いた半導体装置を提供することにある。

#### 【0008】

【課題を解決するための手段及びその作用効果】第1発明では、クロス接続された第1及び第2のnMOSトランジスタと、該第1及び第2のnMOSトランジスタのドレインと電源線との間にそれぞれ接続された第1及び第2のpMOSトランジスタとを備えたSRAMセルを有する半導体装置において、該第1及び第2のnMOSトランジスタが形成される基板表面のnMOS形成領域及び該第1及び第2のpMOSトランジスタが形成される基板表面のpMOS形成領域の延在方向がそれぞれビット線の延在方向と平行である。

【0009】第1発明によれば、上記構成によりビット線が従来よりも短くなるので、ビット線の容量及び抵抗が低減され、CMOS型SRAMセルのアクセス速度が従来よりも向上するという効果を奏する。第2発明では、電源電位供給線と基準電位供給線との間に第1pMOSトランジスタと第1nMOSトランジスタとが直列接続され、該第1pMOSトランジスタのゲートと該第1nMOSトランジスタのゲートとが短絡された第1CMOSインバータと、該電源電位供給線と該基準電位供給線との間に第2pMOSトランジスタと第2nMOSトランジスタとが直列接続され、該第2pMOSトランジスタのゲートと該第2nMOSトランジスタのゲートとが短絡された第2CMOSインバータと、第1ビット線と該第1nMOSトランジスタのドレインとの間に接続され、ゲートにワード線が接続された第3nMOSトランジスタと、第2ビット線と該第2nMOSトランジスタのドレインとの間に接続され、ゲートに該ワード線が接続された第4nMOSトランジスタと、が半導体基板に形成され、該第1pMOSトランジスタのゲートが該第2nMOSトランジスタのドレインに接続され、該第2pMOSトランジスタのゲートが該第1nMOSトランジスタのドレインに接続されたCMOS型SRAMセルにおいて、該第1nMOSトランジスタと該第3nMOSトランジスタとが第1領域に配置され、該第2nMOSトランジスタと該第4nMOSトランジスタとが

第2領域に配置され、該第1pMOSトランジスタと該第2pMOSトランジスタとが、該第1領域と該第2領域の間の第3領域に配置され、該第1領域と該第3領域との間及び該第2領域と該第3領域との間に素子分離領域が形成され、該第1ビット線及び該第2ビット線の方が、該第1領域から該第2領域への長手方向と略直角である。

【0010】第2発明によれば、上記配置によりビット線が従来よりも短くなるので、ビット線の容量及び抵抗が低減され、CMOS型SRAMセルのアクセス速度が従来よりも向上するという効果を奏する。第2発明の第1態様では、上記第1nMOSトランジスタ、第4nMOSトランジスタ及び第1pMOSトランジスタがそれぞれ上記第1領域、第2領域及び第3領域の上記長手方向と略直角な方向の一端側に配置され、上記第3nMOSトランジスタ、第2nMOSトランジスタ及び第2pMOSトランジスタがそれぞれ該第1領域、第2領域及び第3領域の該長手方向と略直角な方向の他端側に配置されている。

【0011】この第1態様によれば、第1nMOSトランジスタ及び第1pMOSトランジスタのゲートを含む配線が略直線になり、第2nMOSトランジスタ及び第2pMOSトランジスタのゲートを含む配線が略直線になるので、CMOS型SRAMセルの占有面積を狭くすることができるという効果を奏する。第2発明の第2態様では、上記第1nMOSトランジスタと上記第3nMOSトランジスタとが上記長手方向と略直角な方向に並置され、該第1nMOSトランジスタの一方のn型半導体領域と該3nMOSトランジスタの一方のn型半導体領域とが共通領域であり、上記第2nMOSトランジスタと上記第4nMOSトランジスタとが該長手方向と略直角な方向に並置され、該第2nMOSトランジスタの一方のn型半導体領域と該4nMOSトランジスタの一方のn型半導体領域とが共通領域である。

【0012】この第2態様によれば、上記第1領域及び第2領域がコンパクトになるので、CMOS型SRAMセルの占有面積を狭くすることができるという効果を奏する。第2発明の第3態様では、上記第1pMOSトランジスタが上記第3領域内の上記第1領域側に配置され、上記第2pMOSトランジスタが該第3領域内の上記第2領域側に配置されている。

【0013】この第3態様によれば、結合関係がより大きいトランジスタ間が対向する位置に存在するので、CMOS型SRAMセル内での素子間配線長が短くなり、CMOS型SRAMセルの占有面積を狭くすることができるという効果を奏する。第2発明の第4態様では、上記第1nMOSトランジスタのゲートと上記第1pMOSトランジスタのゲートとが1本の第1ポリシリコン配線で連続しており、該第1ポリシリコンがコンタクトホールを通過して上記第2pMOSトランジスタのドレイン

に接続され、上記第2 nMOSトランジスタのゲートと上記第2 pMOSトランジスタのゲートとが1本の第2ポリシリコン配線で連続しており、該第2ポリシリコンがコンタクトホールを通して上記第1 pMOSトランジスタのドレインに接続されている。

【0014】この第4態様によれば、ポリシリコンによる配線が効率的に行われるという効果を奏する。第2発明の第5態様では、上記CMOS型SRAMセルは矩形であり、上記長手方向は該矩形の長手方向であり、上記第1領域及び第2領域はそれぞれ該矩形の長手方向一端側及び他端側であり、上記第3領域は該矩形の中央部である。

【0015】第2発明のCMOS型SRAMセルは矩形に限定されないが、矩形はビット線を短くするのに有利であるので、第5態様によれば、ビット線をより短くすることができるという効果を奏する。第2発明の第6態様では、上記第3領域に上記長手方向と略直角な方向に沿って上記電源電位供給線が配置され、上記矩形の長手方向に対向する辺の各々に沿って上記基準電位供給線が配置され、該長手方向に沿って上記ワード線が配置されている。

【0016】この第6態様によれば、電源配線がワード線と直角な方向に沿って配置されているので、SRAMにおいて1つのワード線を選択した場合に、このワード線に沿った各SRAMセルについて一対の電源配線から電圧が供給され、電源配線幅を広くしたのと同じ効果が得られ、電源電圧の変動が従来よりも低減されてノイズ耐性が向上するという効果を奏する。

【0017】第2発明の第7態様では、上記第1～4 nMOSトランジスタ並びに上記第1及び第2 pMOSトランジスタは、上記矩形の中央点について略点对称に配置されている。この第7態様によれば、SRAM製造において、該対称性により露光パターンの処理が簡単になるという効果を奏する。また、第1及び第2のCMOSインバータの形が同じになるので、動作が安定する。

【0018】第2発明の第8態様は、請求項1乃至8のいずれか1つに記載のCMOS型SRAMセルが格子状に配置されたメモリアルレイと、該メモリアルレイに対しデータの書き込み及び読み出しを行うための周辺回路と、を有する半導体装置である。

【0019】第2発明の第9態様では、上記第7態様のCMOS型SRAMセルを有し、該CMOS型SRAMセルは、上記矩形の長手方向の一边を共通にして配置したときに該一边について互いに線対称な第1形と第2形とが在り、上記メモリアルレイは、該第1形のCMOS型SRAMセルと該第2形のCMOS型SRAMセルとが該長手方向及び該長手方向と直角な方向について交互に配置され、該矩形の該長手方向にワード線が配置され、該第1形のCMOS型SRAMセルの上記第3 nMOSトランジスタのゲートがメタル配線を介して該ワー

ド線に接続され、該第2形のCMOS型SRAMセルの上記第4 nMOSトランジスタのゲートが隣の該第1形の第3 nMOSトランジスタのゲートと連続した配線になっており、該第1形のCMOS型SRAMセルの上記第4 nMOSトランジスタのゲートがメタル配線を介して該ワード線に接続され、該第2形のCMOS型SRAMセルの上記第3 nMOSトランジスタのゲートが隣の該第1形の第4 nMOSトランジスタのゲートと連続した配線になっている。

10 【0020】この第9態様によれば、上記線対称性によりビット線方向に隣り合うCMOS型SRAMセルの一方の空き領域を他方のワード線接続領域として有効利用することができるので、CMOS型SRAMセルアレイの高集積化が可能となるという効果を奏する。第2発明の第10態様では、上記CMOS型SRAMセルは、上記ビット線に平行なデータ線が配置され、該ビット線の方に連続して配置された複数の該CMOS型SRAMセル毎に該データ線が該ビット線に接続され、該データ線がCMOS型SRAMセルブロック間に配置されたデータバスに接続されている。

20 【0021】ビット線は各SRAMセルで転送ゲートに接続されているので負荷が比較的大きいが、該データ線にはこのような負荷がない。この第10態様では、該ビット線の方に連続して配置された複数のCMOS型SRAMセル毎に該データ線が該ビット線に接続され、該データ線がCMOS型SRAMセルブロック間に配置されたデータバスに接続されているので、データバスと直角方向のメモリアルセル数を従来よりも多くすることができ、これによりデータバスの長さを従来よりも短くでき、その分、データバスの専有面積を狭くすることができるという効果を奏する。

【0022】

【発明の実施の形態】以下、図面に基いて本発明の一実施形態を説明する。図1(A)は第1形SRAMセル10の概略パターンを示しており、図1(B)は第2形SRAMセル20の概略パターンを示している。第1形SRAMセル10及び第2形SRAMセル20はいずれも、回路としては図11(B)に示す従来回路と同一であるが、レイアウトパターンが図10のそれと異なり、

40 矩形の短い辺に平行に沿って一対のビット線BLとビット線\*BLとが配置されている。ワード線WLは、SRAMセルの長い辺に平行になっている。

【0023】図2～7において、図10及び図11中の素子と対応する素子には、パターンの形が異なっているが、対応付けを容易にするために同一符号を付している。また、第1形SRAMセル10と第2形SRAMセル20とで対応する素子にも同一符号を付している。図2(A)は、第1形SRAMセル10の半導体領域(拡散層)及びポリシリコン配線のパターン図であり、図2(B)は図2(A)のIIB-IIB線に沿った断面図であ

る。図3(A)は、図2(A)のパターンに、メタル配線第1層の配線パターンを重ね合わせたパターン図である。図3(B)は、図3(A)のパターンに、メタル配線第2層の配線パターンを重ね合わせたパターン図である。図6(A)は、図3(B)のレイアウトパターンに対応した回路図である。第1形SRAMセル10の長い辺及び短い辺に平行な方向をそれぞれ図示X方向及びY方向とする。

【0024】図2(A)において、図10との関係では、pMOS領域12はpMOS領域2に対応し、nMOS領域13A及び13BはnMOS領域3に対応し、素子分離領域14A及び14Bは素子分離領域4に対応している。すなわち、第1形SRAMセル10のX方向について、中央部にpMOS領域12が配置され、一端側及び他端側にそれぞれnMOS領域13A及び13Bが配置され、pMOS領域12とnMOS領域13Aとの間及びpMOS領域12とnMOS領域13Bとの間にそれぞれ素子分離領域14A及び14Bが形成されている。nMOS領域13A及び13Bはそれぞれ、図2(B)に示す如く、n型半導体基板15のp型ウェル16内及び17内に形成されている。これに対しpMOS領域12は、n型半導体基板15の表面部に形成されている。フィールド酸化膜14a及び14bはそれぞれ、素子分離領域14A及び14Bの一部である。

【0025】pMOS領域12にはpMOSトランジスタQP1とpMOSトランジスタQP2とが形成され、nMOS領域13AにはnMOSトランジスタQN1とnMOSトランジスタQN3とが形成され、nMOS領域13BにはnMOSトランジスタQN2とnMOSトランジスタQN4とが形成されている。pMOSトランジスタQP1とnMOSトランジスタQN1とでフリップフロップの一方のCMOSインバータが構成され、pMOSトランジスタQP2とnMOSトランジスタQN2とでフリップフロップの他方のCMOSインバータが構成される。nMOSトランジスタQN3及びQN4はいずれも転送ゲートである。

【0026】図2(A)のパターンは、第1形SRAMセル10の中央点について点対称である。これにより、SRAM製造において、露光パターンの処理が簡単になる。同図において、符号中のs及びdはそれぞれソース領域及びドレイン領域であることを示し、符号の先頭のP及びNはそれぞれp型半導体領域及びn型半導体領域であることを示し、符号中の中間部の数字はトランジスタの符号中の数字と一致している。

【0027】pMOSトランジスタQP1は、p型半導体領域P1s及びP1dと、これらの間のチャンネル領域と、チャンネル領域の上方にゲート酸化膜を介して配置されたゲートとを備え、このゲートはポリシリコン配線G10の一部である。pMOSトランジスタQP2、nMOSトランジスタQN1、QN2、QN3及びQN

4のゲートはそれぞれ、ポリシリコン配線G20、G10、W10及びW20の一部である。pMOSトランジスタQP2のp型半導体領域P2s及びP2dはそれぞれpMOSトランジスタQP1のp型半導体領域P1s及びP1dに対応している。nMOSトランジスタQN1は、n型半導体領域N1s及びN1dと、これらの間のチャンネル領域と、チャンネル領域の上方にゲート酸化膜を介して配置されたゲートとを備えている。nMOSトランジスタQN2～QN4についてもnMOSトランジスタQN1と同様である。

【0028】nMOSトランジスタQN1とpMOSトランジスタQP1とがY方向の一方側に配置されているので、ポリシリコン配線G10が略直線となり、同様に、nMOSトランジスタQN2とpMOSトランジスタQP2とが第1形SRAMセル10のY方向他端側に配置されているので、ポリシリコン配線G20が略直線となっている。nMOSトランジスタQN1とnMOSトランジスタQN3とは、n型半導体領域N1dが共通でY方向に配置され、nMOSトランジスタQN2とnMOSトランジスタQN4とは、n型半導体領域N2dが共通でY方向に配置されている。また、pMOSトランジスタQP1及びQP2がそれぞれpMOS領域12のnMOSトランジスタQN1側及びnMOSトランジスタQN2側に配置されている。これらのことは、第1形SRAMセル10のY方向の幅を短くし且つ第1形SRAMセル10の占有面積を狭くするのに寄与している。

【0029】図3(A)では、複雑化を避けるため図2(A)中の符号を省略している。図3(A)のパターンにおいても、図2(A)と同様に第1形SRAMセル10の中央点について点対称である。メタル配線G11及びG21は上記2つのインバータ間のクロス接続に用いられている。すなわち、ポリシリコン配線G20の一端とn型半導体領域N1dとの間が、コンタクトホールCa1及びCa2を通過してメタル配線G21で接続され、ポリシリコン配線G10の一端とn型半導体領域N2dとの間が、コンタクトホールCb1及びCb2を通過してメタル配線G11で接続されている。

【0030】電源配線については、第1形SRAMセル10のX方向中央部に電源電位供給線VCCが配置され、第1形SRAMセル10のX方向一端部及び他端部にそれぞれ基準電位供給線VSS11及びVSS12が配置されている。これら電源配線VCC、VSS11及びVSS12はいずれもY方向と平行になっている。電源電位供給線VCCは、コンタクトホールCc1及びCc2を通過してそれぞれ下方のp型半導体領域P1s及びP2sに接続されている。基準電位供給線VSS11及びVSS12はいずれも、隣合うSRAMセルとで共用するために、その中心線が第1形SRAMセル10の境界線に一致している。基準電位供給線VSS11はコンタ



クトホールCd1を通過して下方のn型半導体領域N1sに接続され、基準電位供給線VSS12はコンタクトホールCd2を通過して下方のn型半導体領域N2sに接続されている。

【0031】メタル配線B11、B21、W11及びW21はいずれも下層と上層との間を接続するための中間的な配線である。メタル配線B11は、コンタクトホールCa3を通過して下方のn型半導体領域N3に接続され、メタル配線B21はコンタクトホールCb3を通過して下方のn型半導体領域N4に接続され、メタル配線W11はコンタクトホールCe1を通過して下方のポリシリコン配線W10に接続され、メタル配線W21はコンタクトホールCf1を通過して下方のポリシリコン配線W20に接続されている。

【0032】図3(B)では、複雑化を避けるため図2(A)及び図3(A)中の符号を省略している。図3(B)のパターンにおいても、図3(A)と同様に第1形SRAMセル10の中央点について点対称である。電源配線の配線幅を狭くして集積度を高めるために、基準電位供給線VSS21及びVSS22がそれぞれ基準電位供給線VSS11及びVSS12の真上に配置されている。一対のビット線BL及び\*BLはそれぞれ、基準電位供給線VSS21及びVSS22でシールドしてノイズを低減するために、基準電位供給線VSS21及びVSS22の近くにこれらと平行に配置されている。ビット線BLは、コンタクトホールCa4を通過して下方のメタル配線B11に接続され、ビット線\*BLは、コンタクトホールCb4を通過して下方のメタル配線B21に接続されている。また、電源電位供給線VCCの両側に電源電位供給線VCCに沿ってデータ線DL及び\*DLが配置され、これらは電源電位供給線VCCによりシールドされてノイズが低減されている。なお、図6及び図7ではデータ線DL及び\*DLを省略している。

【0033】メタル配線W12及びW22はいずれも下層と上層との間を接続するための中間的な配線である。メタル配線W12は、コンタクトホールCe2を通過して下方のメタル配線W11に接続され、コンタクトホールCe3を通過して上方のワード線WLに接続されている。ワード線WLは、第3配線層であり、パターンの複雑化を避けるためにその中心線のみを示している。同様に、メタル配線W22は、コンタクトホールCf2を通過して下方のメタル配線W11に接続され、コンタクトホールCf3を通過して上方のワード線WLに接続されている。

【0034】図4は第2形SRAMセル20のパターン図であり、このパターンは、図3(B)の第1形SRAMセル10のパターンをX方向中央線(WLの中央線)について線対称にし、メタル配線W12、W22、W11及びW21を除去し、かつ、ポリシリコン配線W10及びW20のセル中央側端部を除去したものとなっている。この対称性により、空き領域21及び22が第1形

SRAMセル10との関係で有効利用され、パターンの短縮化が図られている。

【0035】すなわち、第1形SRAMセル10と第2形SRAMセル20とを、パターン境界である点線を一致させて、図5に示す如くビット線方向へ並置すると、メタル配線W21及びW22が図4の空き領域22に配置される。空き領域21には、図5の下方に第1形SRAMセル10を並置することにより、第1形SRAMセル10のメタル配線W11及びW12が入り込む。第2形SRAMセル20のポリシリコン配線W3及びW4は、次のようにして第2形SRAMセル20上のワード線WLに接続される。すなわち、第2形SRAMセル20の長手方向両側に第2形SRAMセル20と隣合うように第1形SRAMセル10を配置する。これにより第1形SRAMセル10のポリシリコン配線W20が第2形SRAMセル20のポリシリコン配線W3に接続され、ポリシリコン配線W3がポリシリコン配線W20を介して第2形SRAMセル20のワード線WLに接続される。同様に、第1形SRAMセル10のポリシリコン配線W10が第2形SRAMセル20のW4に接続され、ポリシリコン配線W4がポリシリコン配線W10を介して第2形SRAMセル20のワード線WLに接続される。

【0036】このような配置及びワード線WLの接続を図1(C)に示す。セルアレイ30は、第1形SRAMセル10と第2形SRAMセル20とがX方向及びY方向について互いに隣合うように境界線を一致させて格子状に配置されている。この図から、第2形SRAMセル20のポリシリコン配線W3及びW4のワード線WLへの接続を容易に理解することができる。BL0~BL3及び\*BL0~\*BL3はビット線であり、WL0~WL3はワード線である。

【0037】本実施形態によれば、図2(A)に示す如くnMOS領域13AとnMOS領域13Bとの間にpMOS領域12が配置され、nMOS領域13Aから13Bへの方向と直角な方向にビット線が配置されているので、SRAMセル当たりのビット線長を従来よりも短くすることができ、これにより、ビット線の容量及び抵抗が低減され、半導体装置のアクセス速度が従来よりも向上する。

【0038】また、図10のSRAMセルでは電源電位供給線VCC及び基準電位供給線VSSがワード線WLと平行であるので、SRAMにおいて1つのワード線WLを選択した場合に、選択されたワード線WLに沿ったSRAMセルには一対の電源電位供給線VCC及び基準電位供給線VSSから電圧が供給される。これに対し、図1(C)では、電源配線がワード線と直角な方向に沿って配置されているので、1つのワード線を選択した場合に、このワード線に沿った各SRAMセルについて一対の電源配線から電圧が供給されるので、電源配線幅を

広くしたのと同じ効果が得られ、電源電圧の変動が従来よりも低減されてノイズ耐性が向上する。

【0039】図8(A)は、本実施形態でのSRAMセルアレイ中でのデータバスDBの配置を示し、図8

(B)は従来のSRAMセルアレイ中でのデータバスDBAの配置を示す。従来ではセルアレイブロック30Aの一端部でビット線をデータバスDBAに接続していたが、本実施例では2つのセルアレイブロック30毎にアレイブロック30の外端部においてビット線BL及び\*BLをそれぞれデータ線DL及び\*D<sub>L</sub>に接続してい  
10 る。ビット線BL及び\*BLは各SRAMセルで転送ゲートに接続されているので負荷が比較的大きいが、データ線DL及び\*D<sub>L</sub>にはこのような負荷はない。このため、データバスDBと直角方向のメモリセル数を従来よりも多くすることができ、これによりデータバスDBの長さを従来よりも短くでき、その分、データバスDBの専有面積を狭くすることができ、記憶容量が従来よりも増加する。図3(B)に示す如く、データ線DL及び\*D<sub>L</sub>は、pMOS領域12上の空き部分に配置されているので、データ線DL及び\*D<sub>L</sub>によるセル面積増大は  
20 避けられる。

【0040】なお、本発明には外にも種々の変形例が含まれる。例えば、上記実施形態ではセル外形が矩形である好ましい場合を説明したが、本発明の効果はSRAMセルの外形が矩形でなくても得られ、SRAMセルは例えば図9(A)～(C)に示すような外形であってもよい。また、コンタクトホール下部にローカルインターコネクトを用いることにより、図3(B)中のビット線BLを基準電位供給線VSS21側のnMOSトランジスタQN1及びQN3上に配置して、セルのX方向長さを  
30 短縮することも可能である。

【0041】さらに、図3(A)ではコンタクトホールCa1の位置でメタル配線G21、ポリシリコン配線G20及びp型半導体領域P1dの間を接続しているが、コンタクトホールCe2及びCe3のように、メタル配線G21とポリシリコン配線G20との間及びポリシリコン配線G20とp型半導体領域P1dとの間を互いに異なる位置でコンタクトホールを通して接続することにより、配線層の凹凸を低減させて信頼性を向上させるようにしてもよい。

【0042】また、データ線DL及び\*D<sub>L</sub>を備えない構成であってもよいことは勿論である。

#### 【図面の簡単な説明】

【図1】(A)は第1形SRAMセルの概略パターン図、(B)は第2形SRAMセルの概略パターン図、(C)は第1形及び第2形のSRAMセルが交互に配置されたセルアレイの概略パターン図である。

【図2】(A)は第1形SRAMセルの半導体領域及びポリシリコン配線のパターン図、(B)は(A)中のIIB-IIB線に沿った断面図である。

【図3】(A)は図2(A)のパターンにメタル配線第1層の配線パターンを重ね合わせたパターン図、(B)は(A)のパターンにメタル配線第2層の配線パターンを重ね合わせたパターン図である。

【図4】第2形SRAMセルのパターン図である。

【図5】第1形SRAMセルと第2形SRAMセルとがビット線方向へ並置されたパターン図である。

【図6】(A)は図3(B)のレイアウトパターンに対応した回路図、(B)は図4のレイアウトパターンに対応した回路図である。

【図7】図5のレイアウトパターンに対応した回路図である。

【図8】(A)は本実施形態のSRAMセルアレイ中でのデータバスの配置図であり、(B)は従来のSRAMセルアレイ中でのデータバス配置図である。

【図9】(A)～(C)はSRAMセルの変形例を示すセル外形図である。

【図10】従来のSRAMセルのパターン図である。

【図11】(A)は図10のレイアウトパターンに対応した回路図であり、(B)は(A)の接続を分かり易くした一般的な回路図である。

#### 【符号の説明】

10 第1形SRAMセル

12 pMOS領域

13A、13B nMOS領域

14A、14B 素子分離領域

14a、14b フィールド酸化膜

15 n型半導体基板

16、17 p型ウエル

20 第2形SRAMセル

30 セルアレイブロック

QP1、QP2 pMOSトランジスタ

QN1～QN4 nMOSトランジスタ

P1s、P2s、P1d、P2d p型半導体領域

N1s、N1d、N2s、N2d、N3、N4 n型半導体領域

40 G1、G2、G10、G20、W10、W20 ポリシリコン配線

S1～S4、B11、B21、W11、W21、W1

2、W22 メタル配線

BL、\*BL ビット線

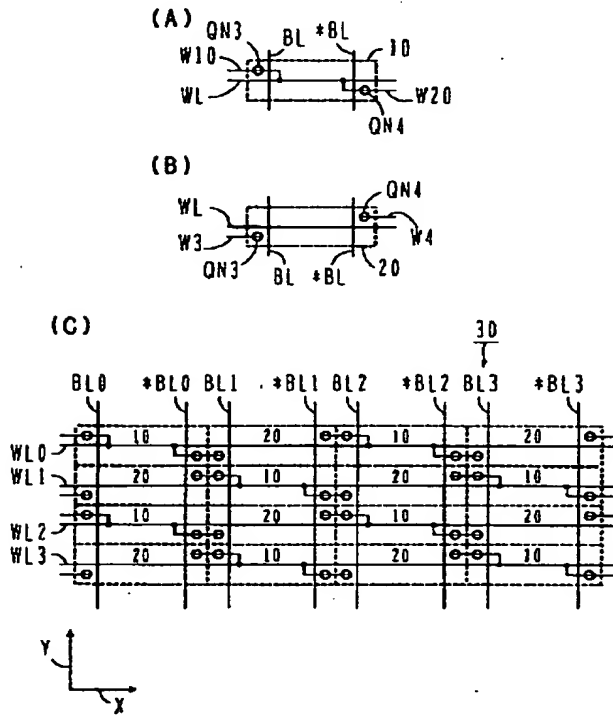
DL、\*D<sub>L</sub> データ線

WL ワード線

DB、DBA データバス

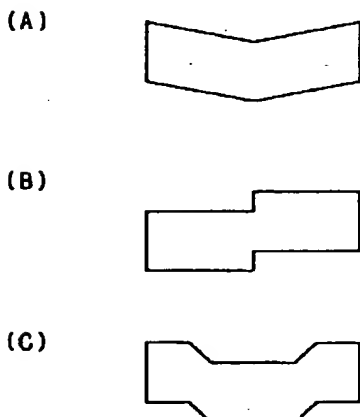
【図1】

(A)は第1形SRAMセルの概略パターン図、  
(B)は第2形SRAMセルの概略パターン図、  
(C)は第1形及び第2形のSRAMセルが交互に  
配置されたセルアレイの概略パターン図



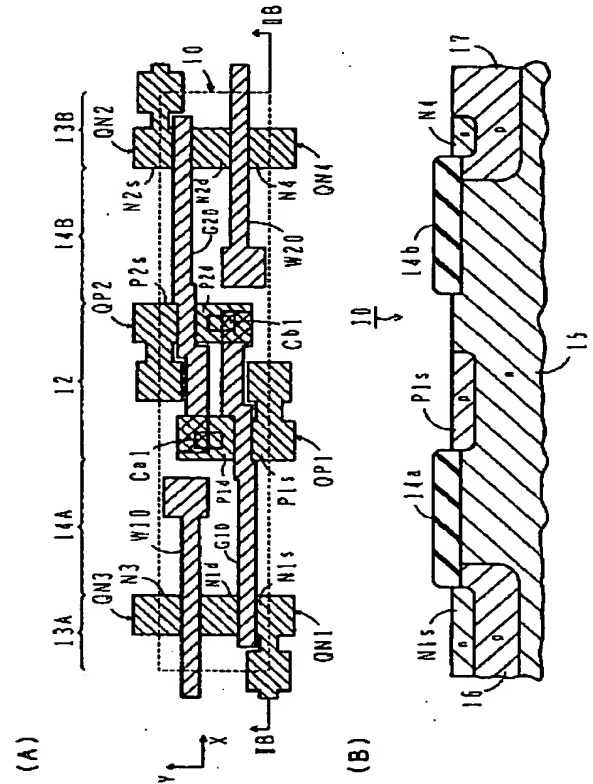
【図9】

(A)～(C)はSRAMセルの変形例を示すセル外形図



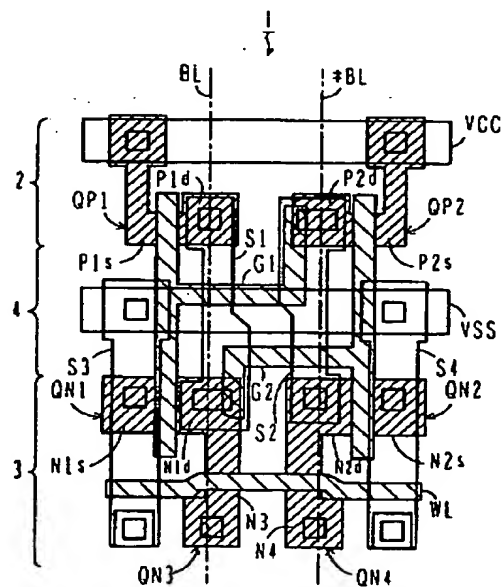
【図2】

(A)は第1形SRAMセルの半導体領域及びポリシリコン  
配線のパターン図、(B)は(A)中のB-B'線断面図



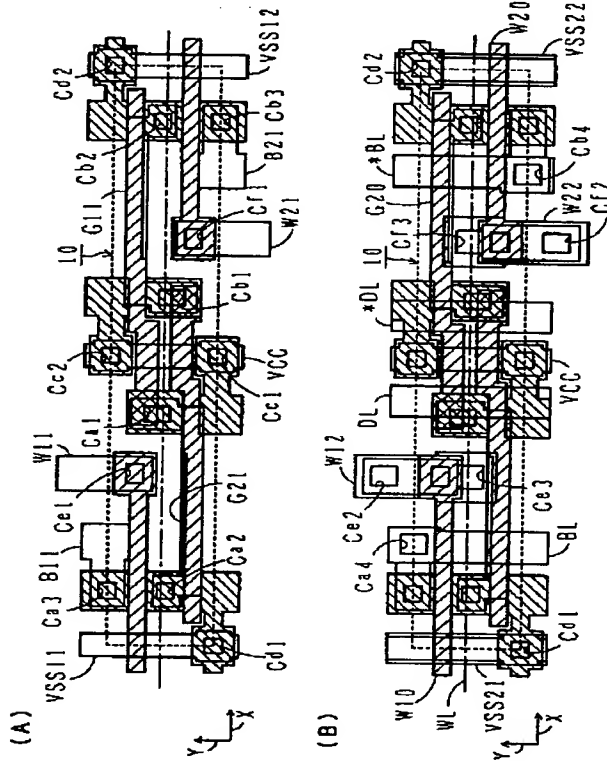
【図10】

従来のSRAMセルのパターン図



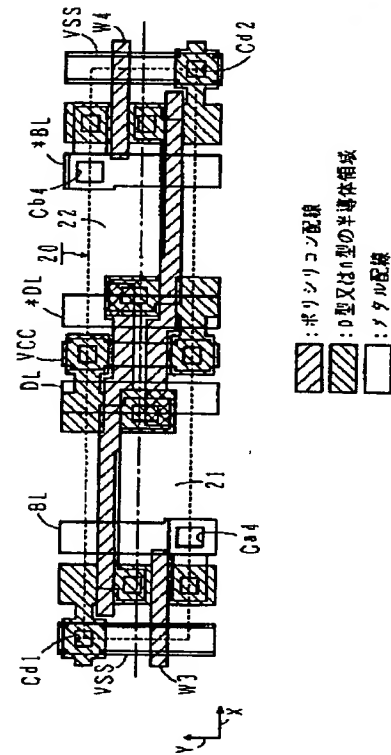
【図3】

(A)は図2(A)のパターンにメタル配線第1層の配線パターンを重ね合わせたパターン図、(B)は(A)のパターンにメタル配線第2層の配線パターンを重ね合わせたパターン図



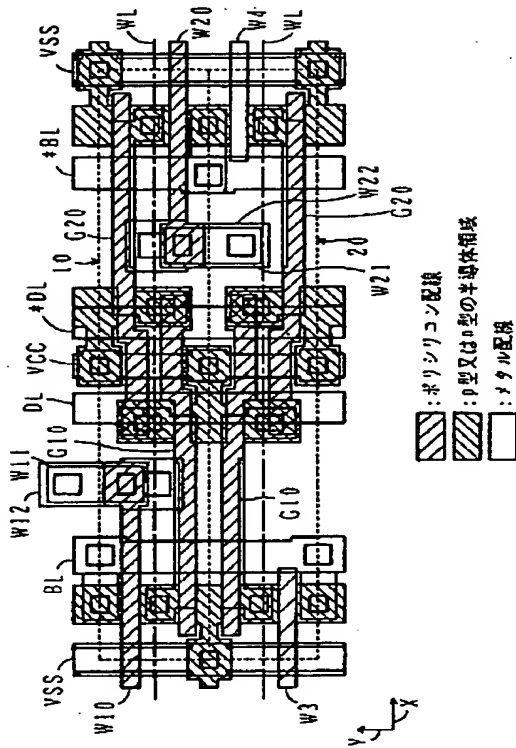
【図4】

第2形SRAMセルのパターン図



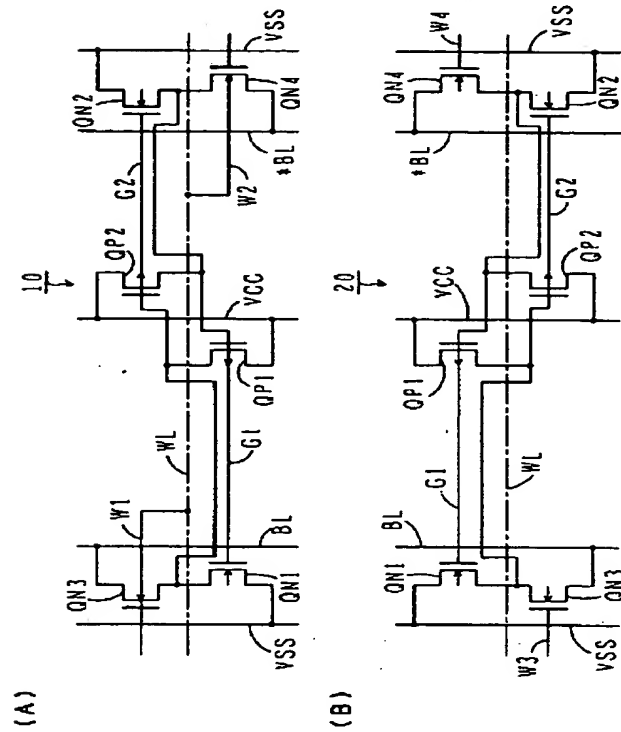
【図5】

第1形SRAMセルと第2形SRAMセルとがビット線方向へ並置されたパターン図



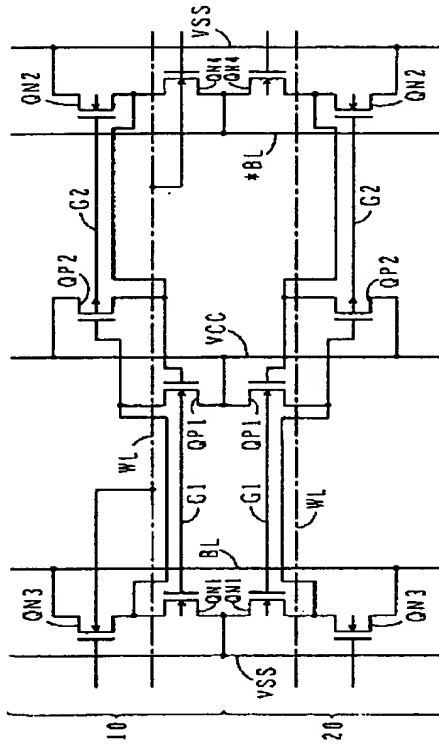
【図6】

(A)は図3(B)のレイアウトパターンに対応した回路図  
(B)は図4のレイアウトパターンに対応した回路図



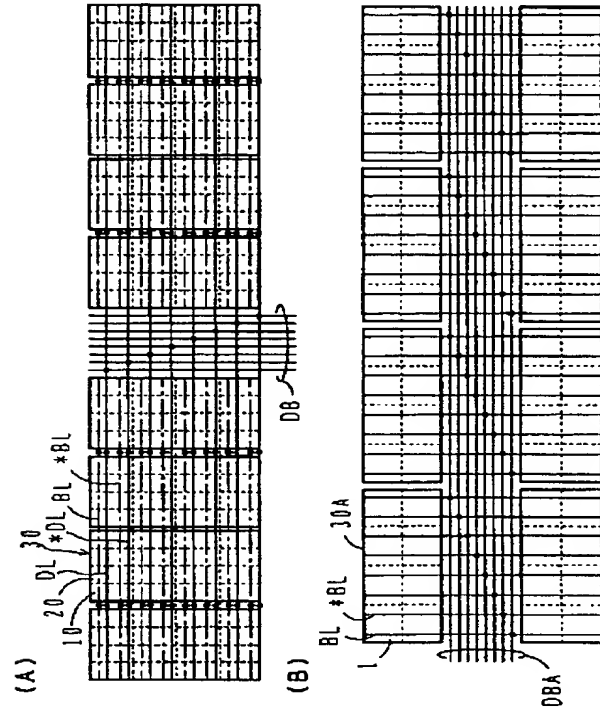
【図7】

図5のレイアウトパターンに対応した回路図



【図8】

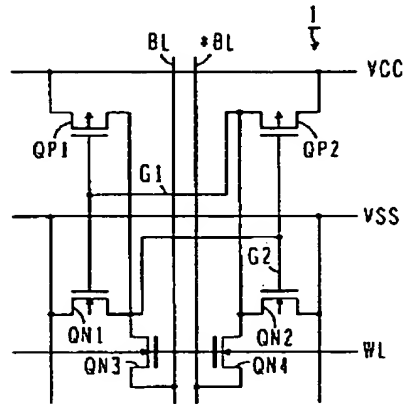
(A)は本実施形態のSRAMセルアレイ中でのデータバスの配置図、  
 (B)は従来のSRAMセルアレイ中でのデータバスの配置図、



【図 1 1】

(A) は図 10 のレイアウトパターンに対応した回路図、  
 (B) は (A) の接続を分かり易くした一般的な回路図

(A)



(B)

